

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186273

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H01L 21/3205

H01L 21/768

(21)Application number : 09-365425

(71)Applicant : RICOH CO LTD

(22)Date of filing : 19.12.1997

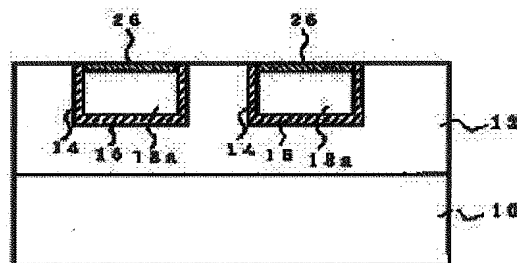
(72)Inventor : SATO SHINJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device equipped with a buried Cu wiring layer which is low in resistance, excellent in resistance to electromigration and stress migration, and high in reliability.

SOLUTION: An insulating film 12 is formed on a semiconductor substrate 10 where a semiconductor device such as a transistor or the like is formed, a wiring groove 14 is provided to the surface of the insulating film 12, and a buried Cu-4 at.% Mg wiring layer 18a formed of Cu film where 4 at.% Mg is dissolved in solid is buried in the wiring groove 14 through the intermediary of a TiN protective film 16 formed by covering the base and side wall of the groove 14. An MgO film 26 which functions as an antioxidizing barrier to protect the Cu-4 at.% Mg wiring layer 18a against oxidation is formed on the Cu-4 at.% Mg wiring layer 18a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186273

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3205
21/768

H 0 1 L 21/88
21/90

B
M
C

審査請求 未請求 請求項の数16 F D (全 22 頁)

(21) 出願番号

特願平9-365425

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 佐藤 新治

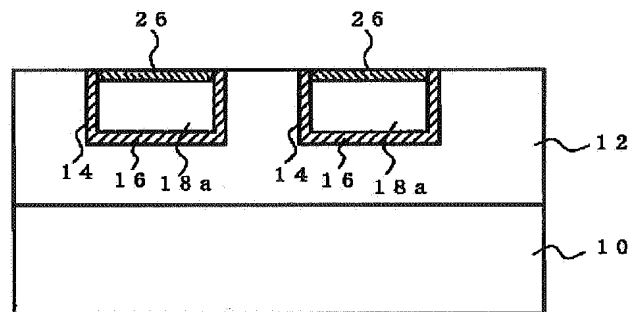
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れ、信頼性の高い埋め込み方式のCu配線層を有する半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 トランジスタ等の半導体素子が形成された半導体基板10上に絶縁膜12が形成され、この絶縁膜12表面に配線溝14が形成され、この配線溝14内には、配線溝14内の側壁及び底面を覆っているTiN保護膜16を介して、4at.%のMgが固溶されているCu膜からなる埋め込み配線層であるCu-4at.%Mg配線層18aが埋め込まれている。このCu-4at.%Mg配線層18a上には、Cu-4at.%Mg配線層18aの酸化を防止するための酸化防止バリアとして機能するMgO皮膜26が形成されている。



10 半導体基板

12 絶縁膜

14 配線溝

18a Cu-4at.%Mg配線層

26 MgO皮膜

【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜に形成された接続孔又は配線溝内の少なくとも一方に、配線層が埋め込まれている半導体装置であって、前記配線層が、所定の元素が固溶されて融点が純銅よりも低くなっている銅膜からなることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記接続孔又は前記配線溝内の少なくとも一方の側壁及び底面と前記配線層との間に、前記絶縁膜中への銅の拡散を防止するための保護膜が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置において、前記配線層上面が、酸化防止用の皮膜によって覆われていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記皮膜が、前記配線層に固溶されている前記所定の元素の酸化物であることを特徴とする半導体装置。

【請求項5】 請求項1又は2に記載の半導体装置において、前記銅膜に固溶されている前記所定の元素が、銀、アルミニウム、砒素、金、ベリリウム、カドミウム、クロム、ガリウム、ゲルマニウム、ハフニウム、水銀、インジウム、リチウム、マグネシウム、マンガン、磷、アンチモン、シリコン、錫、チタン、タリウム、又はジルコニウムであることを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、前記銅膜に固溶されている前記所定の元素の酸化物が、酸化アルミニウム、酸化クロム、酸化ガリウム、酸化ゲルマニウム、酸化インジウム、酸化リチウム、酸化マグネシウム、酸化マンガン、酸化シリコン、酸化チタン、又は酸化ジルコニウムであることを特徴とする半導体装置。

【請求項7】 半導体基板上に、絶縁膜を形成する第1の工程と、前記絶縁膜に、接続孔又は配線溝の少なくとも一方を形成する第2の工程と、基体全面に、所定の元素が固溶されて融点が純銅よりも低くなっている銅膜を形成する第3の工程と、前記銅膜を熱処理によりリフローして、前記接続孔又は前記配線溝内の少なくとも一方に埋め込む第4の工程と、前記絶縁膜上面上の前記銅膜を除去すると共に、前記接続孔又は前記配線溝内の少なくとも一方に埋め込まれた前記銅膜を残存させて、前記銅膜からなる配線層を形成する第5の工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記第3及び第4の工程の代わりに、

前記半導体基板を加熱しながら、基体全面に、所定の元素が固溶されて融点が純銅よりも低くなっている銅膜を形成して、前記銅膜を前記接続孔又は前記配線溝内の少なくとも一方に埋め込む工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上に絶縁膜を形成する第1の工程と、

前記絶縁膜に接続孔又は配線溝の少なくとも一方を形成する第2の工程と、

基体全面に、第1の銅膜を形成する第3の工程と、

前記第1の銅膜上に、所定の元素が固溶されて融点が純銅よりも低くなっている第2の銅膜を形成する第4の工程と、

前記第1及び第2の銅膜を熱処理によりリフローして、前記接続孔又は前記配線溝内の少なくとも一方に埋め込む第5の工程と、

前記絶縁膜上面上の前記第1及び第2の銅膜を除去すると共に、前記接続孔又は前記配線溝内の少なくとも一方に埋め込まれた前記第1及び第2の銅膜を残存させて、前記第1及び第2の銅膜からなる配線層を形成する第6の工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記第4及び第5の工程の代わりに、

前記半導体基板を加熱しながら、前記第1の銅膜上に、所定の元素が固溶されて融点が純銅よりも低くなっている第2の銅膜を形成して、前記第1及び第2の銅膜を前記接続孔又は前記配線溝内の少なくとも一方に埋め込む工程を有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法において、

前記第3乃至第5の工程の代わりに、

前記半導体基板を加熱しながら、基体全面に、第1の銅膜を形成する工程と、前記半導体基板を加熱しながら、前記第1の銅膜上に、所定の元素が固溶されて融点が純銅よりも低くなっている第2の銅膜を形成して、前記第1及び第2の銅膜を前記接続孔又は前記配線溝内の少なくとも一方に埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項9乃至11のいずれかに記載の半導体装置の製造方法において、

前記第1の銅膜が、純銅からなることを特徴とする半導体装置の製造方法。

【請求項13】 請求項7乃至12のいずれかに記載の半導体装置の製造方法において、

前記第2の工程の後、前記接続孔又は前記配線溝の少なくとも一方の側壁及び底面を覆う銅拡散防止用の保護膜を形成する工程を有することを特徴とする半導体装置の

10

20

30

40

50

製造方法。

【請求項14】 請求項7乃至13のいずれかに記載の半導体装置の製造方法において、

前記接続孔又は前記配線溝内の少なくとも一方に埋め込まれた前記配線層を形成する工程の後、前記配線層上面に、酸化防止用の皮膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、

前記皮膜を形成する工程が、酸化物生成の標準自由エネルギーが前記配線層の主体をなす銅よりも小さい前記所定の元素を選択的に酸化して、前記配線層上面に、前記所定の元素の酸化物を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の半導体装置の製造方法において、

前記皮膜を形成する工程が、所定の温度及び所定の平衡酸素分圧を有する酸化雰囲気中における熱処理を行う工程であり、

前記所定の平衡酸素分圧が、前記所定の温度において前記所定の元素の酸化が開始される平衡酸素分圧以上であって、前記配線層の主体をなす銅の酸化が開始される平衡酸素分圧以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に埋め込み方式の銅配線層を有する半導体装置及びその製造方法に関するものである。そして、本発明は、ULSIやASIC等に広く応用されるものである。

【0002】

【従来の技術】LSIの高速化・高集積化に伴い、配線の微細化や多層化が進んでいる。こうした微細配線においては、高い電流密度及び動作温度が要求されるため、エレクトロマイグレーション耐性及びストレスマイグレーション耐性の高い材料を用いて配線層を形成することにより、信頼性の向上が図られている。また、動作速度の高速化を達成するためには、RC遅延の低減が必要であり、その手段として、層間絶縁膜の低誘電率化及び配線材料の低抵抗化がある。このような配線材料として、従来の配線材料であるAl（アルミニウム）よりも電気抵抗が低く、活性化エネルギーが高いCu（銅）などが検討されている。

【0003】従来のAlからなる微細電極配線層を形成する際の加工法としては、一般的にRIE（Reactive Ion Etching；反応性エッチング）法などが用いられている。しかし、Cu配線層の場合、RIE法を用いて加工する際に、Cuの塩化物やフッ化物は蒸気圧が低いため、通常行われている低温におけるエッチングを行うこ

とができない。この対策として、加工の際の半導体基板の温度を高温化することが検討されているが、Cuの塩化物やフッ化物などの蒸気圧は上昇するものの、塩化反応やフッ化反応も促進されることから、その塩化反応やフッ化反応がCu配線層内部にまで進み、エッチングの等方性が大きくなるため、結果的に微細加工が困難になるという問題があった。

【0004】このようなCu配線層を加工する際のエッチングの問題点を回避する方法として、埋め込み配線方式が開発されている。以下に、この埋め込み配線方式によるCu配線層の形成方法を説明する。まず、半導体素子が形成された半導体基板上に、絶縁膜を形成した後、この絶縁膜に接続孔又は配線溝の少なくとも一方を形成する。次いで、少なくとも接続孔又は配線溝の少なくとも一方の側壁及び底面を覆うように、次の工程において形成するCu膜中のCu原子の絶縁膜中への拡散を防止するための保護膜を形成する。

【0005】次いで、例えばスパッタ法又はCVD（Chemical Vapor Deposition；化学気相成長）法などを用いて、基体全面にCu膜を形成する。次いで、加熱処理を加えることにより、基体全面に形成したCu膜をリフローさせて、接続孔又は配線溝内の少なくとも一方に保護膜を介して埋め込む。

【0006】次いで、例えばCMP（Chemical Mechanical Polishing；化学機械研磨）法を用いて、絶縁膜上面上の不要なCu膜を取り除き、接続孔又は配線溝内の少なくとも一方に保護膜を介して埋め込まれたCu膜のみを残存させる。こうして、接続孔又は配線溝内に埋め込まれたCu膜からなる所要のCu電極配線層を形成する。

【0007】ところで、Cuの融点は1085℃であり、従来の配線材料であるAlの融点である660℃に比べて高いことから、Cu膜をリフローさせるには高い熱処理温度が必要となる。そして、こうした高い熱処理温度は、有機SOG層間膜にダメージを与えたり、下層配線層のストレスマイグレーション耐性を低下させたり、Cu自身の拡散を招いたりするなどの問題を生じる。

【0008】そこで、Cu膜のリフロー温度を低温化するため、以下のような種々の方法が提案されている。例えば特開平8-264535号公報においては、形成したCu膜表面を酸化した後、水素雰囲気中において熱処理することにより、Cu膜のリフローを行う方法が提案されている。

【0009】また、特開平8-316233号公報においては、熱処理を行う際に、酸化性ガスと還元性ガスを供給し、Cu膜表面の酸化還元反応に伴う発熱を利用して、Cu膜のリフローを行う方法が提案されている。

【0010】また、特開平9-64173号公報においては、下地層上にCu膜を形成する前に、Cu膜のリフ

ロー温度よりも低い融点を有する金属系材料からなる下地潤滑層を形成しておき、Cu膜のリフロー時に下地潤滑層を溶融させてCu膜と下地層との摩擦を軽減して、容易にCu膜を接続孔内に導入する方法が提案されている。

【0011】また、特開平8-102463号公報においては、Cu膜の下地にCuと合金を形成しやすい金属からなる配線下地層を形成し、Cu膜の形成時にCu膜と配線下地層とを合金化することにより、Cu膜の融点を低下させる方法が提案されている。

【0012】

【発明が解決しようとする課題】しかし、上記の特開平8-264535号及び特開平8-316233号に開示された方法においては、Cu膜表面の酸化によりCu₂O（酸化銅）膜が形成され、水素雰囲気中における熱処理の際に、H₂（水素）がこのCu₂O膜中に拡散侵入して、Cu₂O+H₂→2Cu+H₂Oの反応によりCuに還元されるのであるが、同時にH₂O（水蒸気）が発生するために、Cu膜中に気泡を生じたり亀裂を発生させたりしてCu膜の膜質を劣化させる、いわゆる水素脆性が起こることが懸念される。

【0013】これに対して、上記の特開平9-64173号及び特開平8-102463号に開示された方法においては、こうした問題は生じない。しかし、リフロー現象は熱活性化過程であり、表面拡散の割合が大きいため、Cu膜の下地層を種々に改良しても、その効果は大きくない。また、Cu合金膜が形成されることになり、こうした合金や金属間化合物は純金属、例えば純銅（以下、「純Cu」と記載する）よりも一般に抵抗値が大きいため、配線層の低抵抗化を図る観点からは好ましくない。

【0014】そこで本発明は、上記問題点を鑑みてなされたものであり、低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れ、信頼性の高い埋め込み方式のCu配線層を有する半導体装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置及びその製造方法によって達成される。即ち、請求項1に係る半導体装置は、半導体基板上の絶縁膜に形成された接続孔又は配線溝内の少なくとも一方に配線層が埋め込まれている半導体装置であって、この配線層が、所定の元素が固溶されて融点が純Cuよりも低くなっているCu膜からなることを特徴とする。

【0016】このように請求項1に係る半導体装置においては、接続孔又は配線溝内の少なくとも一方に埋め込まれているCu配線層が、所定の元素が固溶されたCu膜からなり、その融点が純Cuの融点よりも低くなっていることにより、Cu合金膜からなるCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びスト

スマイグレーション耐性に優れた埋め込み方式の配線層が実現されると共に、その配線層を形成する際に、純Cuを配線材料とする場合よりも低いプロセス温度において接続孔又は配線溝内の少なくとも一方へのCu配線層の埋め込みを行うことが可能になる。

【0017】なお、ここで、Cu膜に所定の元素が固溶されているとは、Cu膜に所定の元素が含有されているものの、所定の元素の含有濃度がCuと金属間化合物を形成するに必要な濃度よりも低い状態にあることを意味する。このため、Cuと所定の元素とは合金状態ではなく、所定の元素が固溶されているCu膜はCu合金膜ではない。

【0018】また、請求項2に係る半導体装置は、上記請求項1に係る半導体装置において、接続孔又は配線溝の少なくとも一方の側壁及び底面と配線層との間に、絶縁膜中へのCu原子の拡散を防止するための保護膜が形成されている構成とすることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれているCu配線層から絶縁膜中へのCuの拡散が防止されるため、信頼性の高い埋め込み方式のCu配線層が実現される。

【0019】また、請求項3に係る半導体装置は、上記請求項1又は2に係る半導体装置において、配線層上面が酸化防止用の皮膜によって覆われている構成とすることにより、Cu配線層上面の酸化が防止されるため、低抵抗でエレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた信頼性の高い埋め込み方式のCu配線層が実現される。

【0020】また、請求項4に係る半導体装置は、上記請求項3に係る半導体装置において、Cu配線層上面を覆っている酸化防止用の皮膜が、Cu配線層に固溶されている所定の元素の酸化物である構成とすることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれたCu配線層を形成した後の酸化雰囲気中における熱処理によって容易に酸化防止用の皮膜が形成される。

【0021】また、請求項5に係る半導体装置は、上記請求項1又は2に係る半導体装置において、Cu膜に固溶されている所定の元素がAg（銀）、Al、As（砒素）、Au（金）、Be（ベリリウム）、Cd（カドミウム）、Cr（クロム）、Ga（ガリウム）、Ge（ゲルマニウム）、Hf（ハフニウム）、Hg（水銀）、In（インジウム）、Li（リチウム）、Mg（マグネシウム）、Mn（マンガン）、P（燐）、Sb（アンチモン）、Si（シリコン）、Sn（錫）、Ti（チタン）、Tl（タリウム）、又はZr（ジルコニウム）である構成とすることにより、このような元素が固溶されたCu膜の融点は純Cuの融点よりも低くなるため、この低融点のCu膜からなるCu配線層を形成する際に、純Cuを配線材料とする場合よりも低いプロセス温度において接続孔又は配線溝内の少なくとも一方へのCu配線層の埋め込みを行うことが可能になる。

【0022】また、請求項6に係る半導体装置は、上記請求項4に係る半導体装置において、Cu膜に固溶されている所定の元素の酸化物が、 Al_2O_3 （酸化アルミニウム）、 Cr_2O_3 （酸化クロム）、 Ga_2O_3 （酸化ガリウム）、 GeO_2 （酸化ゲルマニウム）、 In_2O_3 （酸化インジウム）、 Li_2O （酸化リチウム）、 MgO （酸化マグネシウム）、 MnO_2 （酸化マンガン）、 SiO_2 （酸化シリコン）、 TiO_2 若しくは Ti_2O_3 （酸化チタン）、又は ZrO_2 （酸化ジルコニウム）である構成とすることにより、上記のAl等の元素が固溶されているCu膜からなるCu配線層上面を酸化雰囲気中において熱処理することにより、容易に酸化防止用の皮膜が形成される。

【0023】また、請求項7に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する第1の工程と、この絶縁膜に接続孔又は配線溝の少なくとも一方を形成する第2の工程と、基体全面に、所定の元素が固溶されて融点が純Cuよりも低くなっているCu膜を形成する第3の工程と、このCu膜を熱処理によりリフローして接続孔又は配線溝内に埋め込む第4の工程と、絶縁膜表面上のCu膜を除去すると共に、接続孔又は配線溝内の少なくとも一方に埋め込まれたCu膜を残存させて、このCu膜からなる配線層を形成する第5の工程とを有することを特徴とする。

【0024】このように請求項7に係る半導体装置の製造方法においては、所定の元素が固溶されて融点が純Cuよりも低くなっているCu膜を配線材料として用いていることにより、このCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む際に、例えば純Cuを配線材料とする場合よりも低い熱処理温度において容易にリフローを行うことが可能になる。このため、高温リフローによるストレスマイグレーション耐性の低下やCu自身の拡散などを招くことなく、また水素雰囲気中の熱処理による水素脆性を招くことなく、Cu合金膜からなるCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式のCu配線層が実現される。

【0025】また、請求項8に係る半導体装置の製造方法は、上記請求項7に係る半導体装置の製造方法において、所定の元素が固溶されて融点が純Cuよりも低くなっているCu膜を形成する第3の工程及びこのCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む第4の工程の代わりに、半導体基板を加熱しながら、基体全面に、所定の元素が固溶されて融点が純Cuよりも低くなっているCu膜を形成して、このCu膜を接続孔又は配線溝内に埋め込む工程を有する構成とすることにより、Cu膜の成膜とこのCu膜の接続孔又は配線溝内の少なくとも一方への埋め込みとが1つの工程によって達成される。このため、Cu合金膜

からなるCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式のCu配線層が実現されると共に、その製造工程が簡略化される。

【0026】また、請求項9に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する第1の工程と、この絶縁膜に接続孔又は配線溝の少なくとも一方を形成する第2の工程と、基体全面に、第1のCu膜を形成する第3の工程と、この第1のCu膜上に、所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜を形成する第4の工程と、これら第1及び第2のCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む第5の工程と、絶縁膜表面上の第1及び第2のCu膜を除去すると共に、接続孔又は配線溝内の少なくとも一方に埋め込まれた第1及び第2のCu膜を残存させて、第1及び第2のCu膜からなる配線層を形成する第6の工程とを有することを特徴とする。

【0027】このように請求項9に係る半導体装置の製造方法においては、第1のCu膜と所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜とを順に積層した2層構造のCu膜を配線材料として用いているが、リフロー現象は主に熱的活性化による表面拡散によって進行することから、Cu膜全体の融点が低い必要はなく、2層構造のCu膜のうちの表面側の第2のCu膜の融点のみが低ければよい。このため、この2層構造のCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む際にも、例えば純Cuを配線材料とする場合よりも低い熱処理温度において容易にリフローを行うことが可能になる。しかも、第1のCu膜として例えば純Cuのような第2のCu膜よりも低抵抗のものを使用すれば、接続孔又は配線溝内の少なくとも一方に埋め込まれた第1及び第2のCu膜からなる配線層は、第2のCu膜のみからなる配線層よりも低抵抗にすることが可能になる。従って、上記請求項7の場合のCu配線層よりも更に低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式のCu配線層が実現される。

【0028】また、請求項10に係る半導体装置の製造方法は、上記請求項9に係る半導体装置の製造方法において、第1のCu膜上に所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜を形成する第4の工程及びこれら第1及び第2のCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む第5の工程の代わりに、半導体基板を加熱しながら、第1のCu膜上に、所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜を形成して、これら第1及び第2のCu膜を接続孔又は配線溝内の少なくとも一方に埋め込む工程を有する構成とすることにより、第2のCu膜の成膜と第1及び第2のCu膜

の接続孔又は配線溝内の少なくとも一方への埋め込みとが1つの工程によって達成される。このため、上記請求項7の場合のCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式のCu配線層が実現されると共に、その製造工程が簡略化される。

【0029】また、請求項11に係る半導体装置の製造方法は、上記請求項9に係る半導体装置の製造方法において、基体全面に第1のCu膜を形成する第3の工程、この第1のCu膜上に所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜を形成する第4の工程、及びこれら第1及び第2のCu膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む第5の工程の代わりに、半導体基板を加熱しながら、基体全面に第1のCu膜を形成する工程と、半導体基板を加熱しながら、第1のCu膜上に所定の元素が固溶されて融点が純Cuよりも低くなっている第2のCu膜を形成して、これら第1及び第2のCu膜を接続孔又は配線溝内の少なくとも一方に埋め込む工程とを有する構成とすることにより、第1のCu膜の成膜工程と第2のCu膜の成膜工程と第1及び第2のCu膜の接続孔又は配線溝内の少なくとも一方への埋め込み工程とを共に半導体基板を加熱しながら連続的に行うことが可能になるため、上記請求項7の場合のCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式のCu配線層を実現する際に、その製造工程が上記請求項10の場合よりも更に簡略化される。

【0030】また、請求項12に係る半導体装置の製造方法は、上記請求項9～11に係る半導体装置の製造方法において、第1のCu膜が純Cuからなる構成とすることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれた第1及び第2のCu膜からなる配線層が、純Cu膜と所定の元素が固溶されているCu膜との2層構造となるため、上記請求項7のように所定の元素が固溶されているCu膜の単層構造の場合と比較すると、極めて抵抗の低い純Cu膜を有している分だけ、配線層全体としての抵抗が更に低減される。

【0031】また、請求項13に係る半導体装置の製造方法は、上記請求項7～12に係る半導体装置の製造方法において、絶縁膜に接続孔又は配線溝の少なくとも一方を形成する第2の工程の後、接続孔又は配線溝の少なくとも一方の側壁及び底面を覆うCu拡散防止用の保護膜を形成する工程を有する構成とすることにより、このCu拡散防止用の保護膜によって接続孔又は配線溝内の少なくとも一方に埋め込まれている配線層から絶縁膜中へのCu原子の拡散が防止されるため、信頼性の高い埋め込み方式のCu配線層が実現される。

【0032】また、請求項14に係る半導体装置の製造方法は、上記請求項7～12に係る半導体装置の製造方

法において、接続孔又は配線溝内の少なくとも一方に埋め込まれたCu配線層を形成する工程の後、このCu配線層上面上に酸化防止用の皮膜を形成する工程を有する構成とすることにより、この酸化防止用の皮膜によってCu配線層上面の酸化が防止され、配線抵抗の上昇が防止されるため、低抵抗でエレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れ、且つ信頼性の高い埋め込み方式のCu配線層が実現される。

【0033】また、請求項15に係る半導体装置の製造方法は、上記請求項14に係る半導体装置の製造方法において、配線層上面上に酸化防止用の皮膜を形成する工程が、酸化物生成の標準自由エネルギーが配線層の主体をなすCuよりも小さい所定の元素を選択的に酸化して、配線層上面上に所定の元素の酸化物を形成する工程である構成とすることにより、Cu配線層に固溶されている所定の元素の酸化物生成の標準自由エネルギーがCu配線層の主体をなすCuの酸化物生成の標準自由エネルギーよりも小さいことから、Cu配線層上面においてCuの酸化物が生成されるよりも容易に所定の元素の酸化物が生成されるため、この所定の元素の酸化物からなる酸化防止用の皮膜がCu配線層上面に容易に形成される。

【0034】また、請求項16に係る半導体装置の製造方法は、上記請求項14に係る半導体装置の製造方法において、配線層上面上に酸化防止用の皮膜を形成する工程が、所定の温度及び所定の平衡酸素分圧を有する酸化雰囲気中における熱処理を行う工程であり、この所定の平衡酸素分圧が、所定の温度において所定の元素の酸化が開始される平衡酸素分圧以上であって配線層の主体をなすCuの酸化が開始される平衡酸素分圧以下である構成とすることにより、所定の温度及び所定の平衡酸素分圧を有する酸化雰囲気中における熱処理によってCu配線層に固溶されている所定の元素が酸化されてその酸化物が生成される一方で、Cu配線層の主体をなすCuは酸化されず、その酸化物が生成されないため、Cu配線層上面には所定の元素の酸化物のみが生成され、この所定の元素の酸化物からなる酸化防止用の皮膜が容易に形成される。

【0035】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

(第1の実施形態) 図1は本発明の第1の実施形態に係る半導体装置を示す断面図であり、図2～図7はそれぞれ図1に示す半導体装置の第1の製造方法を説明するための工程断面図であり、図8～図12はそれぞれ第2の製造方法を説明するための工程断面図である。図1に示されるように、半導体基板10上には、半導体基板10表面層に形成されたトランジスタ等の半導体素子(図示せず)とその配線層とを分離するための絶縁膜12が形成されている。

【0036】また、この絶縁膜12表面には、配線溝14が形成されている。そして、この配線溝14内には、配線溝14内の側壁及び底面を覆っているTiN保護膜16を介して、Cu-4at.%(原子%)Mg配線層18aが埋め込まれている。即ち、このTiN保護膜16は、Cu-4at.%(原子%)Mg配線層18aと絶縁膜12との密着性を良好にするための密着層及びCu-4at.%(原子%)Mg配線層18a中のCu原子の絶縁膜12中への拡散を防止するための拡散防止層として機能するものであり、Cu-4at.%(原子%)Mg配線層18aは、4at.%(原子%)Mgが固溶されているCu膜からなる埋め込み配線層である。

【0037】次に、図1に示す半導体装置の第1の製造方法を、図2～図7を用いて説明する。先ず、半導体基板10表面層に、トランジスタ等の半導体素子(図示せず)を形成した後、この半導体素子と後の工程において形成する配線層とを分離するため、例えばCVD法を用いて、半導体基板10上に絶縁膜12を形成する(図2参照)。

【0038】次いで、絶縁膜12上にフォトリソ剤(図示せず)を塗布した後、例えばフォトリソグラフィ法を用いて、このフォトリソ剤をパターニングし、配線溝を開口部とするレジストパターン(図示せず)を形成する。続いて、このレジストパターンをマスクにして絶縁膜12を選択的にエッチングし、配線溝14を形成する(図3参照)。

【0039】次いで、例えばスパッタリング法を用いて、基体全面に、即ち配線溝14の側壁及び底面を含む絶縁膜12表面上に、TiN(窒化チタン)保護膜16を成膜する。なお、このTiN保護膜16は、次の工程において成膜するCu膜と絶縁膜12との密着性を良好にするための密着層及びCu膜中のCu原子が絶縁膜12中に拡散することを防止するための拡散防止層として機能するものである(図4参照)。

【0040】次いで、例えばスパッタリング法を用いて、基体全面のTiN保護膜16上にCu膜中に4at.%(原子%)Mgが固溶されているCu-4at.%(原子%)Mg膜18を成膜する。このとき、側壁及び底面がTiN保護膜16によって覆われている配線溝14内にも、このCu-4at.%(原子%)Mg膜18が形成される。このとき、Cu-4at.%(原子%)Mg膜18をスパッタリングする際のターゲットとしては、Cu-Mg合金ターゲット、Cuターゲット上にMgチップを搭載したターゲット、又はCuとMgとの複合ターゲットを用いる(図5参照)。

【0041】次いで、常圧の非酸化性雰囲気中において、450℃の温度で30分間の熱処理を行い、Cu-4at.%(原子%)Mg膜18を配線溝14内にフローさせて、配線溝14内をCu-4at.%(原子%)Mg膜18によって完全に埋め込んでしまうと共に、このCu-4at.%(原子%)Mg膜18表面を平坦化する。このとき、Cu-4at.%(原子%)Mg膜18の融点は約900℃であり、純Cuの融点である1085℃に比べて低いため、純Cu膜の場合よりも低温で十分な埋め込みが可能となる(図6参照)。

【0042】次いで、例えばCMP法を用いて、平坦化されたCu-4at.%(原子%)Mg膜18表面から研磨を開始し、絶縁膜12上面上のCu-4at.%(原子%)Mg膜18及びTiN保護膜16を完全に除去して、絶縁膜12上面を露出させる。そして、側壁及び底面がTiN保護膜16によって覆われている配線溝14内のみに、Cu-4at.%(原子%)Mg膜18を残存させ、この配線溝14内のCu-4at.%(原子%)Mg膜18からなるCu-4at.%(原子%)Mg配線層18aを形成する(図7参照)。

【0043】次に、図1に示す半導体装置の第2の製造方法を、図8～図12を用いて説明する。先ず、上記図2に示す工程の場合と同様にして、半導体基板10表面層にトランジスタ等の半導体素子(図示せず)を形成した後、この半導体基板10上に例えばCVD法を用いて絶縁膜12を形成する(図8参照)。

【0044】次いで、上記図3に示す工程の場合と同様にして、フォトリソグラフィ法を用いて、絶縁膜12上に塗布したフォトリソ剤をパターニングし、配線溝を開口部とするレジストパターン(図示せず)を形成する。続いて、このレジストパターンをマスクにして絶縁膜12を選択的にエッチングし、配線溝14を形成する(図9参照)。

【0045】次いで、上記図3に示す工程の場合と同様にして、スパッタリング法を用いて、基体全面に、即ち配線溝14の側壁及び底面を含む絶縁膜12表面上にTiN保護膜16を成膜する(図10参照)。

【0046】次いで、いわゆる高温スパッタリング法を用いて、半導体基板10を500℃の温度に加熱しながら、基体全面のTiN保護膜16上にCu-4at.%(原子%)Mg膜18を成膜する。このとき、Cu-4at.%(原子%)Mg膜18の融点は約900℃であり、純Cuの融点である1085℃に比べて低いことから、半導体基板10を高温に加熱した状態でスパッタリングを行うことにより、基体全面に成膜されるCu-4at.%(原子%)Mg膜18が同時に配線溝14内にフローされ、配線溝14内がCu-4at.%(原子%)Mg膜18によって完全に埋め込まれてしまうと共に、このCu-4at.%(原子%)Mg膜18表面が平坦化される(図11参照)。

【0047】次いで、上記図7に示す工程の場合と同様にして、CMP法を用いて、平坦化されたCu-4at.%(原子%)Mg膜18及びTiN保護膜16を絶縁膜12上面が露出するまで研磨し、絶縁膜12上面上のCu-4at.%(原子%)Mg膜18及びTiN保護膜16を完全に除去する。そして、配線溝14内のみにTiN保護膜16を介してCu-4at.%(原子%)Mg膜18を残存させ、このCu-4at.%(原子%)Mg膜18からなるCu-4at.%(原子%)Mg配線層18aを形成する(図12参照)。

【0048】以上のように本実施形態に係る半導体装置によれば、埋め込み方式の配線層として、4at. %のMgが固溶されているCu膜からなるCu-4at. %Mg配線層18aが用いられていることにより、例えばCuとMgとの合金膜からなるMgCu₂配線層の場合よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み配線層を実現することができる。

【0049】また、配線溝14内の側壁及び底面をなす絶縁膜12と配線溝14内に埋め込まれたCu-4at. %Mg配線層18aとの間にTiN保護膜16が介在していることにより、このTiN保護膜16によってCu-4at. %Mg配線層18a中のCuが絶縁膜12中に拡散することが防止されるため、信頼性の高い埋め込み配線層を実現することができる。

【0050】また、本実施形態に係る半導体装置の第1の製造方法によれば、スパッタリング法により基体全面に成膜したCu-4at. %Mg膜18を熱処理によってフローさせて配線溝14内を完全に埋め込んでしまう際に、このCu-4at. %Mg膜18の融点が純Cuの融点に比べて低いことから、純Cuの場合よりも低温の熱処理により十分な埋め込みが可能となるため、高温リフローによるストレスマイグレーション耐性の低下やCu自身の拡散などを防止することができる。また、水素雰囲気中の熱処理を必要としないため、水素脆性の発生を防止することができる。

【0051】また、本実施形態に係る半導体装置の第2の製造方法によれば、基体全面に、Cu-4at. %Mg膜18を成膜する際に、基板を加熱しながらスパッタリングを行う、いわゆる高温スパッタリング法を用いることにより、Cu-4at. %Mg膜18の成膜と同時にCu-4at. %Mg膜18が配線溝14内にフローされて、配線溝14内が完全に埋め込まれてしまうと共に、Cu-4at. %Mg膜18表面が平坦化されることから、上記第1の製造方法におけるCu-4at. %Mg膜18の成膜工程とCu-4at. %Mg膜18の配線溝14内への埋め込み及び平坦化工程との2工程を1工程によって行うことが可能になるため、製造工程を簡略化することができる。

【0052】なお、本実施形態においては、埋め込み方式の配線層として4at. %のMgが固溶されているCu膜からなるCu-4at. %Mg配線層18aが用いられているが、Cuを主体とする配線層に固溶されているMgの濃度は4at. %に限定されるものではなく、MgがCuと金属間化合物を形成するに必要な濃度、例えば5at. %よりも低い濃度であればよい。

【0053】また、Cuを主体とする配線層に固溶されている元素として、Mgの代わりに例えばAg、Al、As、Au、Be、Cd、Cr、Ga、Ge、Hf、Hg、In、Li、Mn、P、Sb、Si、Sn、Ti、

Tl、又はZrであってもよい。これらの元素もCu膜中に固溶する範囲をもち、かつCu膜中に固溶することにより融点（合金状態図では固溶線で表される）が純Cuの融点よりも低くなるものである。

【0054】そして、これらの元素をCu配線層に固溶させる濃度も、これらの元素がCuと金属間化合物を形成するに必要な濃度よりも低いことが必要である。例えば、Alの場合には19.5at. %以下、Gaの場合には19.5at. %以下、Geの場合には9at. %以下、Inの場合には3at. %以下、Liの場合には6.5at. %以下、Siの場合には8.5at. %以下、Tiの場合には1at. %以下、Zrの場合には0.14at. %以下であることが要求されることになる。

【0055】また、Cu-4at. %Mg膜18の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではない。このスパッタリング法の代わりに、例えばCuのイオンクラスタービームとMgのイオンクラスタービームとを半導体基板10上で重畳させる方法や、Cuターゲットを用いたイオンビームスパッタとMgターゲットを用いたイオンビームスパッタとを半導体基板10上で重畳させる方法や、Cuの蒸発源から蒸発させたCu元素とMgの蒸発源から蒸発させたMg元素とを半導体基板10上で重畳させる方法や、Mgが固溶されているCu膜を用いるフラッシュ蒸着法や、分子線エピタキシー法や、Mgが固溶されているCu膜を用いるレーザアブレーション法や、Cuターゲットを用いたレーザアブレーションとMgターゲットを用いたレーザアブレーションとを半導体基板10上で重畳させる方法や、CVD法や、めっき法などを用いてもよい。

【0056】また、基体全面に成膜したCu-4at. %Mg膜18をフローさせて配線溝14内を完全に埋め込んでしまう際の熱処理を常圧の非酸化性雰囲気中において行っているが、この常圧の非酸化性雰囲気中の代わりに、高圧の非酸化性雰囲気中において熱処理を行ってもよい。この場合には、Cu-4at. %Mg膜18の配線溝14内への埋め込み特性が更に良好なものとなる。

【0057】また、配線溝14内に埋め込まれたCu-4at. %Mg配線層18aと絶縁膜12との間に介在させる膜としてTiN保護膜16を用いているが、TiN保護膜16に限定されるものではなく、Cuと反応せず、Cu-4at. %Mg配線層18aと絶縁膜12との密着層及びCu-4at. %Mg配線層18a中のCuの絶縁膜12中への拡散防止層として機能するものであればよい。例えば、TiN保護膜16の代わりに、窒化シリコン膜、酸化窒化シリコン膜、窒化チタン膜、窒化タングステン膜、窒化チタンタングステン膜、タングステン窒化ニオブ膜、窒化タンクル膜などを用いてもよい。

【0058】また、TiN保護膜16の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではなく、例えばCVD法を用いてもよい。

【0059】(第2の実施形態) 図13は本発明の第2の実施形態に係る半導体装置を示す断面図であり、図14～図19はそれぞれ図13に示す半導体装置の第1の製造方法を説明するための工程断面図であり、図20～図25はそれぞれ第2の製造方法を説明するための工程断面図であり、図26～図30はそれぞれ第3の製造方法を説明するための工程断面図である。なお、上記図1～図12の半導体装置の構成要素と同一の要素には同一の符号を付して説明を省略する。

【0060】図13に示されるように、半導体基板10上には、半導体基板10表面層に形成されたトランジスタ等の半導体素子(図示せず)とその配線層とを分離するための絶縁膜12が形成されている。また、この絶縁膜12表面には、配線溝14が形成されている。そして、この配線溝14内には、配線溝14内の側壁及び底面を覆っているTiN保護膜16を介して、Cu-Mg配線層24aが埋め込まれている。なお、このCu-Mg配線層24aは、4at.%以下のMgが固溶されているCu膜からなる埋め込み配線層であるが、Cu膜に固溶されているMgの濃度はCu-Mg配線層24aの表面近傍において高く、内部に行くに従って低下している。

【0061】次に、図13に示す半導体装置の第1の製造方法を、図14～図19を用いて説明する。まず、半導体基板10表面層に、トランジスタ等の半導体素子(図示せず)を形成した後、この半導体素子と後の工程において形成する配線層とを分離するため、例えばCVD法を用いて、半導体基板10上に絶縁膜12を形成する(図14参照)。

【0062】次いで、絶縁膜12上にフォトリソグرافィ法(図示せず)を塗布した後、例えばフォトリソグラフィ法を用いて、このフォトリソグرافィ法をパターンニングし、配線溝を開口部とするレジストパターン(図示せず)を形成する。続いて、このレジストパターンをマスクにして絶縁膜12を選択的にエッチングし、配線溝14を形成する(図15参照)。

【0063】次いで、例えばスパッタリング法を用いて、基体全面に、即ち配線溝14の側壁及び底面を含む絶縁膜12表面上に、TiN保護膜16を成膜する。なお、このTiN保護膜16は、次の工程において成膜する純Cu膜と絶縁膜12との密着性を良好にするための密着層及び純Cu膜中のCu原子の絶縁膜12中への拡散を防止するための拡散防止層として機能するものである(図16参照)。

【0064】次いで、例えばスパッタリング法を用いて、基体全面のTiN保護膜16上に純Cu膜20を成

膜する。このとき、側壁及び底面がTiN保護膜16によって覆われている配線溝14内にも、この純Cu膜20が形成される。

【0065】続いて、再びスパッタリング法を用いて、基体全面の純Cu膜20上に、Cu膜中に4at.%のMgが固溶されているCu-4at.%Mg薄膜22を成膜する。このとき、Cu-4at.%Mg薄膜22をスパッタリングする際のターゲットとしては、Cu-Mg合金ターゲット、Cuターゲット上にMgチップを搭載したターゲット、又はCuとMgとの複合ターゲットを用いる。こうして、純Cu膜20とCu-4at.%Mg薄膜22とを順に積層して形成する(図17参照)。

【0066】次いで、常圧の非酸化性雰囲気中において、450℃の温度で30分間の熱処理を行い、積層された純Cu膜20及びCu-4at.%Mg薄膜22を配線溝14内にフローさせる。このとき、リフロー現象は主に熱的活性化による表面拡散によって進行することから、積層された純Cu膜20及びCu-4at.%Mg薄膜22の全体の融点が低くなくとも、この2層構造の表面側のCu-4at.%Mg薄膜22の融点が約900℃と純Cuの融点である1085℃に比べて低い場合、上記図6に示す工程の場合と同様に、純Cuのリフロー温度よりも低い温度450℃という温度において、積層された純Cu膜20及びCu-4at.%Mg薄膜22の配線溝14内へのリフローを行うことが可能となる。

【0067】また、この熱処理においては、Cu-4at.%Mg薄膜22中のMg原子が下層の純Cu膜20中に拡散していくため、積層された純Cu膜20及びCu-4at.%Mg薄膜22は一体化されて、Cu-Mg膜24となる。即ち、このCu-Mg膜24は、4at.%以下のMgが固溶されているCu膜であって、そのCu膜に固溶されているMgの濃度は表面近傍において高く、内部に行くに従って低下している。

【0068】こうして、積層された純Cu膜20及びCu-4at.%Mg薄膜22がリフローされ、一体化されてCu-Mg膜24を形成し、このCu-Mg膜24によって配線溝14内を埋め込んでしまうと共に、Cu-Mg膜24表面を平坦化する(図18参照)。

【0069】次いで、例えばCMP法を用いて、平坦化されたCuMg膜24表面から研磨を開始し、絶縁膜12上面が露出するまで絶縁膜12上面上のCuMg膜24及びTiN保護膜16を完全に除去する。そして、側壁及び底面がTiN保護膜16によって覆われている配線溝14内のみに、Cu-Mg膜24を残存させ、この配線溝14内のCu-Mg膜24からなるCu-Mg配線層24aを形成する(図19参照)。

【0070】次に、図13に示す半導体装置の第2の製造方法を、図20～図25を用いて説明する。まず、上

記図 1 4 に示す工程の場合と同様にして、半導体基板 1 0 表面層にトランジスタ等の半導体素子（図示せず）を形成した後、CVD法を用いて、この半導体基板 1 0 上に絶縁膜 1 2 を形成する（図 2 0 参照）。

【0071】次いで、上記図 1 5 に示す工程の場合と同様にして、フォトリソグラフィ法を用いて、絶縁膜 1 2 上に塗布したフォトリソグロフ剤をパターンニングし、配線溝を開口部とするレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクにして絶縁膜 1 2 を選択的にエッチングし、配線溝 1 4 を形成する（図 2 1 参照）。

【0072】次いで、上記図 1 6 に示す工程の場合と同様にして、スパッタリング法を用いて、配線溝 1 4 の側壁及び底面を含む絶縁膜 1 2 表面上に、TiN保護膜 1 6 を成膜する（図 2 2 参照）。

【0073】次いで、スパッタリング法を用いて、基体全面のTiN保護膜 1 6 上に純Cu膜 2 0 を成膜する。このとき、側壁及び底面がTiN保護膜 1 6 によって覆われている配線溝 1 4 内にも、この純Cu膜 2 0 が形成される（図 2 3 参照）。

【0074】次いで、高温スパッタリング法を用いて、半導体基板 1 0 を 5 0 0 °C の温度に加熱しながら、基体全面の純Cu膜 2 0 上に、Cu膜中に 4 a t . % のMg が固溶されているCu-4 a t . % Mg 薄膜を成膜する。このとき、リフロー現象は主に熱的活性化による表面拡散によって進行すると共に、表面側のCu-4 a t . % Mg 薄膜の融点が約 9 0 0 °C と純Cuの融点である 1 0 8 5 °C に比べて低いことから、半導体基板 1 0 を高温に加熱した状態でCu-4 a t . % Mg 薄膜をスパッタリングすることにより、Cu-4 a t . % Mg 薄膜の成膜と同時にこのCu-4 a t . % Mg 薄膜及びその下層の純Cu膜 2 0 が配線溝 1 4 内にフローされる。

【0075】また、この高温スパッタリングの際、Cu-4 a t . % Mg 薄膜中のMg原子が下層の純Cu膜 2 0 中に拡散していくため、純Cu膜 2 0 及びCu-4 a t . % Mg 薄膜は一体化されて、4 a t . % 以下のMg が固溶されているCu膜であって、そのCu膜に固溶されているMgの濃度が表面近傍において高く、内部に行くに従って低下しているCu-Mg膜 2 4 となる。

【0076】こうして、順にスパッタリングされた純Cu膜 2 0 及びCu-4 a t . % Mg 薄膜が高温スパッタリングの際にリフローされ、一体化されてCu-Mg膜 2 4 を形成し、このCu-Mg膜 2 4 によって配線溝 1 4 内を埋め込んでしまうと共に、Cu-Mg膜 2 4 表面が平坦化される（図 2 4 参照）。

【0077】次いで、上記図 1 9 に示す工程の場合と同様にして、CMP法を用いて、平坦化されたCuMg膜 2 4 及びTiN保護膜 1 6 を絶縁膜 1 2 上面が露出するまで研磨し、絶縁膜 1 2 上面上のCuMg膜 2 4 及びTiN保護膜 1 6 を完全に除去する。そして、側壁及び底

面がTiN保護膜 1 6 によって覆われている配線溝 1 4 内のみにCu-Mg膜 2 4 を残存させ、このCu-Mg膜 2 4 からなるCu-Mg配線層 2 4 a を形成する（図 2 5 参照）。

【0078】次に、図 1 3 に示す半導体装置の第 3 の製造方法を、図 2 6 ~ 図 3 0 を用いて説明する。先ず、上記図 1 4 に示す工程の場合と同様にして、半導体基板 1 0 表面層にトランジスタ等の半導体素子（図示せず）を形成した後、CVD法を用いて、この半導体基板 1 0 上に絶縁膜 1 2 を形成する（図 2 6 参照）。

【0079】次いで、上記図 1 5 に示す工程の場合と同様にして、フォトリソグラフィ法を用いて、絶縁膜 1 2 上に塗布したフォトリソグロフ剤をパターンニングし、配線溝を開口部とするレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクにして絶縁膜 1 2 を選択的にエッチングし、配線溝 1 4 を形成する（図 2 7 参照）。

【0080】次いで、上記図 1 6 に示す工程の場合と同様にして、スパッタリング法を用いて、基体全面に、即ち配線溝 1 4 の側壁及び底面を含む絶縁膜 1 2 表面上にTiN保護膜 1 6 を成膜する（図 2 8 参照）。

【0081】次いで、高温スパッタリング法を用いて、半導体基板 1 0 を 5 0 0 °C の温度に加熱しながら、基体全面のTiN保護膜 1 6 上に純Cu膜を成膜する。続いて、再び高温スパッタリング法を用いて、半導体基板 1 0 を 5 0 0 °C の温度に加熱しながら、基体全面の純Cu膜上に、Cu膜中に 4 a t . % のMg が固溶されているCu-4 a t . % Mg 薄膜を成膜する。このとき、リフロー現象は主に熱的活性化による表面拡散によって進行すると共に、表面側のCu-4 a t . % Mg 薄膜の融点が約 9 0 0 °C と純Cuの融点である 1 0 8 5 °C に比べて低いことから、半導体基板 1 0 を高温に加熱した状態で純Cu膜及びCu-4 a t . % Mg 薄膜をスパッタリングすることにより、Cu-4 a t . % Mg 薄膜の成膜と同時にこのCu-4 a t . % Mg 薄膜及びその下層の純Cu膜 2 0 が配線溝 1 4 内にフローされる。

【0082】また、Cu-4 a t . % Mg 薄膜の高温スパッタリングの際、Cu-4 a t . % Mg 薄膜中のMg原子が下層の純Cu膜中に拡散していくため、純Cu膜及びCu-4 a t . % Mg 薄膜は一体化されて、4 a t . % 以下のMg が固溶されているCu膜であって、そのCu膜に固溶されているMgの濃度が表面近傍において高く、内部に行くに従って低下しているCu-Mg膜 2 4 となる。

【0083】こうして、順にスパッタリングされた純Cu膜 2 0 及びCu-4 a t . % Mg 薄膜が高温スパッタリングの際にリフローされ、一体化されてCu-Mg膜 2 4 を形成し、このCu-Mg膜 2 4 によって配線溝 1 4 内を埋め込んでしまうと共に、Cu-Mg膜 2 4 表面が平坦化される（図 2 9 参照）。

10

20

30

40

50

【0084】次いで、上記図19に示す工程の場合と同様にして、CMP法を用いて、平坦化されたCuMg膜24及びTiN保護膜16を絶縁膜12上面が露出するまで研磨し、絶縁膜12上面上のCuMg膜24及びTiN保護膜16を完全に除去する。そして、側壁及び底面がTiN保護膜16によって覆われている配線溝14内のみに、Cu-Mg膜24を残存させ、このCu-Mg膜24からなるCu-Mg配線層24aを形成する(図30参照)。

【0085】以上のように本実施形態に係る半導体装置によれば、埋め込み方式の配線層として、4at.%以下のMgが固溶されているCu-Mg配線層24aが用いられており、Mgの濃度がCu-Mg配線層24aの表面近傍において高く、内部に行くに従って低下していることにより、例えばCuとMgとの合金膜からなるMgCu₂配線層の場合よりも低抵抗であるのみならず、上記第1の実施形態におけるCu-4at.%Mg配線層18aの場合よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み配線層を実現することができる。

【0086】また、配線溝14内の側壁及び底面をなす絶縁膜12と配線溝14内に埋め込まれたCu-Mg配線層24aとの間にTiN保護膜16が介在していることにより、このTiN保護膜16によってCu-Mg配線層24a中のCuが絶縁膜12中に拡散することが防止されるため、信頼性の高い埋め込み配線層を実現することができる。

【0087】また、本実施形態に係る半導体装置の第1の製造方法によれば、スパッタリング法により基体全面に積層して成膜した純Cu膜20及びCu-4at.%Mg薄膜22をフローさせ、一体化してCu-Mg膜24を形成し、このCu-Mg膜24によって配線溝14内を完全に埋め込んでしまう際に、2層構造の表面側のCu-4at.%Mg薄膜22の融点が純Cuの融点に比べて低いことから、純Cuのリフロー温度よりも低温の熱処理により十分な埋め込みが可能となるため、高温リフローによるストレスマイグレーション耐性の低下やCu自身の拡散などを防止することができる。また、水素雰囲気中の熱処理を必要としないため、水素脆性の発生を防止することができる。

【0088】また、本実施形態に係る半導体装置の第2の製造方法によれば、純Cu膜20及びCu-4at.%Mg薄膜を基体全面に順に成膜する際、基板を加熱しながらスパッタリングを行う高温スパッタリング法を用いてCu-4at.%Mg薄膜を成膜することにより、Cu-4at.%Mg薄膜の成膜と同時にこのCu-4at.%Mg薄膜及びその下層の純Cu膜20が配線溝14内にフローされ、一体化されたCu-Mg膜24を形成し、このCu-Mg膜24によって配線溝14内を完全に埋め込んでしまうと共に、Cu-4at.%Mg

膜18表面を平坦化することが可能になる。このため、上記第1の製造方法における純Cu膜20の成膜工程とCu-4at.%Mg膜22の成膜工程と純Cu膜20及びCu-4at.%Mg薄膜22が一体化したCu-Mg膜24の配線溝14内への埋め込み及び平坦化工程との3工程を2工程によって行うことが可能になり、製造工程を簡略化することができる。

【0089】また、本実施形態に係る半導体装置の第3の製造方法によれば、純Cu膜20及びCu-4at.%Mg薄膜を基体全面に順に成膜する際、基板を加熱しながらスパッタリングを行う高温スパッタリング法を用いて純Cu膜20及びCu-4at.%Mg薄膜を成膜することにより、上記第2の製造方法の場合と同様の効果を奏することに加え、純Cu膜20及びCu-4at.%Mg薄膜の高温スパッタリングを連続的に行うことが可能になるため、上記第2の製造方法の場合よりも更に製造工程を簡略化することができる。

【0090】なお、本実施形態においては、埋め込み方式の配線層として4at.%以下のMgが固溶されているCu膜からなるCu-Mg配線層24aが用いられているが、Cu膜に固溶されている元素として、Mgの代わりに、例えばAg、Al、As、Au、Be、Cd、Cr、Ga、Ge、Hf、Hg、In、Li、Mn、P、Sb、Si、Sn、Ti、Tl、又はZrであってもよい。これらの元素もCu膜中に固溶する範囲をもち、かつCu膜中に固溶することにより融点(合金状態図では固溶線で表される)が純Cuの融点よりも低くなるものである。ただし、これらの元素をCu膜に固溶させる濃度は、これらの元素がCuと金属間化合物を形成するのに必要な濃度よりも低い濃度であることが必要である。

【0091】また、Cu-4at.%Mg薄膜22の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではない。このスパッタリング法の代わりに、例えばCuのイオンクラスタービームとMgのイオンクラスタービームとを半導体基板10上で重畳させる方法や、Cuターゲットを用いたイオンビームスパッタとMgターゲットを用いたイオンビームスパッタとを半導体基板10上で重畳させる方法や、Cuの蒸発源から蒸発させたCu元素とMgの蒸発源から蒸発させたMg元素とを半導体基板10上で重畳させる方法や、Mgが固溶されているCu膜を用いるフラッシュ蒸着法や、分子線エピタキシー法や、Mgが固溶されているCu膜を用いるレーザアブレーション法や、Cuターゲットを用いたレーザアブレーションとMgターゲットを用いたレーザアブレーションとを半導体基板10上で重畳させる方法や、CVD法や、めっき法などを用いてもよい。

【0092】また、基体全面に成膜した2層構造の純Cu膜20及びCu-4at.%Mg薄膜22をフローさ

せて配線溝 1 4 内を完全に埋め込んでしまう際の熱処理を常圧の非酸化性雰囲気中において行っているが、この常圧の非酸化性雰囲気中の代わりに、高圧の非酸化性雰囲気中において熱処理を行ってもよい。この場合には、純 Cu 膜 2 0 及び Cu-4 at. % Mg 薄膜 2 2 が一体化された Cu-Mg 膜 2 4 の配線溝 1 4 内への埋め込み特性が更に良好なものとなる。

【0093】また、配線溝 1 4 内に埋め込まれた Cu-Mg 配線層 2 4 a と絶縁膜 1 2 との間に介在させる膜として TiN 保護膜 1 6 を用いているが、この TiN 保護膜 1 6 の代わりに、例えば窒化シリコン膜、酸化シリコン膜、窒化チタン膜、窒化タングステン膜、窒化チタンタングステン膜、タングステン窒化ニオブ膜、窒化タンクル膜など、Cu と反応せず、Cu-Mg 配線層 2 4 a と絶縁膜 1 2 との密着層及び Cu-Mg 配線層 2 4 a 中の Cu の絶縁膜 1 2 中への拡散防止層として機能する膜を用いてもよい。

【0094】また、TiN 保護膜 1 6 の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではなく、例えば CVD 法を用いてもよい。

【0095】(第 3 の実施形態) 図 3 1 は本発明の第 3 の実施形態に係る半導体装置を示す断面図であり、図 3 2 ~ 図 3 8 はそれぞれ図 1 3 に示す半導体装置の製造方法を説明するための工程断面図である。なお、上記図 1 ~ 図 1 2 の半導体装置の構成要素と同一の要素には同一の符号を付して説明を省略する。図 3 1 に示されるように、半導体基板 1 0 上には、半導体基板 1 0 表面層に形成されたトランジスタ等の半導体素子(図示せず)とその配線層とを分離するための絶縁膜 1 2 が形成されている。

【0096】また、この絶縁膜 1 2 表面には、配線溝 1 4 が形成されている。そして、この配線溝 1 4 内には、配線溝 1 4 内の側壁及び底面を覆っている TiN 保護膜 1 6 を介して、Cu-4 at. % Mg 配線層 1 8 a が埋め込まれている。また、配線溝 1 4 内に埋め込まれている Cu-4 at. % Mg 配線層 1 8 a 上には、Cu-4 at. % Mg 配線層 1 8 a の酸化を防止するためのバリアとして機能する厚さ 5 nm 程度の MgO 皮膜 2 6 が形成され、Cu-4 at. % Mg 配線層 1 8 a 表面を覆っている。

【0097】次に、図 3 1 に示す半導体装置の製造方法を、図 3 2 ~ 図 3 8 を用いて説明する。先ず、半導体基板 1 0 表面層に、トランジスタ等の半導体素子(図示せず)を形成した後、この半導体素子と後の工程において形成する配線層とを分離するため、例えば CVD 法を用いて、半導体基板 1 0 上に絶縁膜 1 2 を形成する(図 3 2 参照)。

【0098】次いで、絶縁膜 1 2 上にフォトリソグラフィ

法を用いて、このフォトリソ剤をパターニングし、配線溝を開口部とするレジストパターン(図示せず)を形成する。続いて、このレジストパターンをマスクにして絶縁膜 1 2 を選択的にエッチングし、配線溝 1 4 を形成する(図 3 3 参照)。次いで、例えばスパッタリング法を用いて、基体全面に、即ち配線溝 1 4 の側壁及び底面を含む絶縁膜 1 2 表面上に、TiN 保護膜 1 6 を成膜する(図 3 4 参照)。

【0099】次いで、例えばスパッタリング法を用いて、基体全面の TiN 保護膜 1 6 上に Cu-4 at. % Mg 膜 1 8 を成膜する。このとき、側壁及び底面が TiN 保護膜 1 6 によって覆われている配線溝 1 4 内にも、この Cu-4 at. % Mg 膜 1 8 が形成される(図 3 5 参照)。次いで、常圧の非酸化性雰囲気中において、450℃の温度で 30 分間の熱処理を行い、Cu-4 at. % Mg 膜 1 8 を配線溝 1 4 内にフローさせて、配線溝 1 4 内を Cu-4 at. % Mg 膜 1 8 によって完全に埋め込んでしまうと共に、この Cu-4 at. % Mg 膜 1 8 表面を平坦化する(図 3 6 参照)。

【0100】次いで、例えば CMP 法を用いて、平坦化された Cu-4 at. % Mg 膜 1 8 表面から研磨を開始し、絶縁膜 1 2 上面が露出するまで絶縁膜 1 2 上面上の Cu-4 at. % Mg 膜 1 8 及び TiN 保護膜 1 6 を完全に除去する。そして、側壁及び底面が TiN 保護膜 1 6 によって覆われている配線溝 1 4 内のみに、Cu-4 at. % Mg 膜 1 8 を残存させ、この配線溝 1 4 内の Cu-4 at. % Mg 膜 1 8 からなる Cu-4 at. % Mg 配線層 1 8 a を形成する(図 3 7 参照)。

【0101】次いで、温度 500℃、酸素分圧 1×10^{-5} Torr の酸素雰囲気中において熱処理を行って、Cu-4 at. % Mg 配線層 1 8 a に固溶されている Mg を Cu-4 at. % Mg 配線層 1 8 a 表面にまで拡散させ、その Mg を選択的に酸化して、Cu-4 at. % Mg 配線層 1 8 a 表面に MgO 皮膜 2 6 を形成する。

【0102】即ち、この熱処理の際の酸素分圧 1×10^{-5} Torr は、温度 500℃において、Cu 及び Mg 双方の酸化が開始される平衡酸素分圧以上であることから、Cu-4 at. % Mg 配線層 1 8 a の主体をなす Cu が酸化されて、その酸化物である CuO 又は CuO₂(酸化銅)が生成される。その一方、この熱処理際に加えられたエネルギーにより Cu-4 at. % Mg 配線層 1 8 a に固溶されている Mg が Cu-4 at. % Mg 配線層 1 8 a 表面にまで拡散してくる。そしてこの Mg はその酸化物生成の標準自由エネルギーが Cu の酸化物生成の標準自由エネルギーよりも小さいことから、Cu-4 at. % Mg 配線層 1 8 a 表面に生成された CuO 又は CuO₂ を還元して、Mg の酸化物である MgO を生成する。こうして、Cu-4 at. % Mg 配線層 1 8 a 表面において Mg が選択的に酸化され、MgO 皮膜 2 6 が形成される。

【0103】なお、Cu-4at.%Mg配線層18aに固溶されているMgの濃度が小さいため、そのMgの酸化によって形成されるMgO皮膜26の厚さは5nm程度と極めて薄いものの、このMgO皮膜26は酸素を通さない緻密な膜であることから、Cu-4at.%Mg配線層18aの酸化を防止するためのバリアとして機能する(図38参照)。

【0104】以上のように本実施形態に係る半導体装置によれば、埋め込み方式の配線層として、4at.%のMgが固溶されているCu膜からなるCu-4at.%Mg配線層18aが用いられていることにより、また配線溝14内の側壁及び底面をなす絶縁膜12と配線溝14内に埋め込まれたCu-4at.%Mg配線層18aとの間にTiN保護膜16が介在していることにより、上記第1の実施形態に係る半導体装置の場合と同様の効果を奏し、低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れ、信頼性の高い埋め込み配線層を実現することができる。

【0105】更に、Cu-4at.%Mg配線層18aの酸化を防止するためのバリアとして機能するMgO皮膜26がCu-4at.%Mg配線層18a表面を覆っていることにより、Cu-4at.%Mg配線層18aはその内部まで酸化されることから保護され、その配線抵抗の上昇が防止されるため、低抵抗で、信頼性の高い埋め込み配線層を実現することができる。

【0106】また、本実施形態に係る半導体装置の製造方法によれば、スパッタリング法により基体全面に成膜したCu-4at.%Mg膜18を熱処理によってフローさせて配線溝14内を完全に埋め込んでしまう際に、このCu-4at.%Mg膜18の融点が純Cuの融点に比べて低いことから、純Cuの場合よりも低温の熱処理により十分な埋め込みが可能となるため、上記第1の実施形態に係る半導体装置の第1の製造方法の場合と同様の効果を奏し、高温リフローによるストレスマイグレーション耐性の低下やCu自身の拡散などを防止することができる。

【0107】更に、Cu-4at.%Mg配線層18a表面を覆うMgO皮膜26を形成する際に、Cu-4at.%Mg配線層18aに固溶されているMgの酸化物生成の標準自由エネルギーがCu-4at.%Mg配線層18aの主体をなすCuの酸化物生成の標準自由エネルギーよりも小さいことから、温度500℃、酸素分圧 1×10^{-5} Torrの酸素雰囲気中における熱処理により、Cu-4at.%Mg配線層18a表面に拡散してきたMgを選択的に酸化することが可能になるため、Cu-4at.%Mg配線層18a表面上にMgO皮膜26を容易に形成することができる。

【0108】なお、本実施形態においては、埋め込み方式の配線層として4at.%のMgが固溶されているCu膜からなるCu-4at.%Mg配線層18aが用い

られているが、Cu配線層に固溶されている元素としては、Mgの代わりに、例えばAl、As、Cr、Ga、Ge、In、Li、Mn、Si、Ti、又はZrであってもよい。これらの元素もCu配線層中に固溶する範囲をもち、かつCu配線層中に固溶することにより融点(合金状態図では固溶線で表される)が純Cuの融点よりも低くなるものであり、更にこれらCu配線層に固溶されている元素の酸化物生成の標準自由エネルギーがCu配線層の主体をなすCuの酸化物生成の標準自由エネルギーよりも小さいものである。

【0109】ここで、これらの元素の酸化物生成の標準自由エネルギーの大小関係については、Swalin著、「固体の熱力学」(p.88-p.89、コロナ社発行)の「酸化物の生成の標準自由エネルギーと温度との関係」を示すグラフによって知ることができる。従って、上記の場合、所定の温度及び酸素分圧の酸素雰囲気中において熱処理を行い、Cu配線層に固溶されている元素を選択的に酸化して形成する皮膜は、MgO皮膜26の代わりに、例えば Al_2O_3 、 Cr_2O_3 、 Ga_2O_3 、 GeO_2 、 In_2O_3 、 Li_2O 、 MgO 、 MnO_2 、 SiO_2 、 TiO_2 若しくは Ti_2O_3 、又は ZrO_2 となる。そして、これらの酸化物も、MgO皮膜26の場合と同様に、Cu配線層の酸化を防止するための酸化防止バリアとして機能する。

【0110】また、Cu-4at.%Mg配線層18a表面を覆うMgO皮膜26を形成する際の熱処理条件は、温度500℃、酸素雰囲気中における酸素分圧 1×10^{-5} Torrであり、これは温度500℃においてCu及びMg双方の酸化が開始される平衡酸素分圧以上の酸素分圧であるが、この熱処理条件に限定されるものではない。

【0111】例えば、温度500℃に限らず所定の温度において、Cu-4at.%Mg配線層18aに固溶されているMgの酸化が開始される平衡酸素分圧以上であって、Cu-4at.%Mg配線層18aの主体をなすCuの酸化が開始される平衡酸素分圧以下の酸素雰囲気中において熱処理を行ってもよい。この場合、Cu-4at.%Mg配線層18aの主体をなすCuは酸化されず、熱処理の極初期に生成され易い薄い酸化銅が生成されない一方において、Cu-4at.%Mg配線層18aに固溶されているMgが酸化され、その酸化物MgOが生成されるため、Cu-4at.%Mg配線層18a表面にはMgOのみが生成され、MgO皮膜26が形成される。

【0112】或いはまた、所定の温度において、Cu-4at.%Mg配線層18aの主体をなすCuの酸化が開始される平衡酸素分圧以下の酸素雰囲気中における第1ステップの熱処理を行い、続いてCu-4at.%Mg配線層18aに固溶されているMgの酸化が開始される平衡酸素分圧以上の酸素雰囲気中における第2ステッ

ブの熱処理を行う方法を用いてもよい。この場合、第1ステップにおいては、その熱処理の極初期に生成され易い薄い酸化銅が生成されずにMgの酸化物であるMgOが生成され、第2ステップにおいて、更にMgの酸化が進行して、その酸化物MgOが強固なものとして形成されるため、Cu-4at.%Mg配線層18a表面にはMgOのみが生成され、MgO皮膜26が形成される。ここで、これらの酸化雰囲気の平均値は、Swalin著、「固体の熱力学」(p.88-p.89、コロナ社発行)の「酸化物の生成の標準自由エネルギーと温度との関係」を示すグラフによって知ることができる。

【0113】また、Cu-4at.%Mg膜18の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではない。このスパッタリング法の代わりに、例えばCuのイオンクラスタービームとMgのイオンクラスタービームとを半導体基板10上で重畳させる方法や、Cuターゲットを用いたイオンビームスパッタとMgターゲットを用いたイオンビームスパッタとを半導体基板10上で重畳させる方法や、Cuの蒸発源から蒸発させたCu元素とMgの蒸発源から蒸発させたMg元素とを半導体基板10上で重畳させる方法や、Mgが固溶されているCu膜を用いるフラッシュ蒸着法や、分子線エピタキシー法や、Mgが固溶されているCu膜を用いるレーザアブレーション法や、Cuターゲットを用いたレーザアブレーションとMgターゲットを用いたレーザアブレーションとを半導体基板10上で重畳させる方法や、CVD法や、めっき法などを用いてもよい。

【0114】また、基体全面に成膜したCu-4at.%Mg膜18をフローさせて配線溝14内を完全に埋め込んでしまう際の熱処理を常圧の非酸化性雰囲気中において行っているが、この常圧の非酸化性雰囲気の代わりに、高圧の非酸化性雰囲気中において熱処理を行ってもよい。この場合には、Cu-4at.%Mg膜18の配線溝14内への埋め込み特性が更に良好なものとなる。

【0115】また、配線溝14内に埋め込まれたCu-4at.%Mg配線層18aと絶縁膜12との間に介在させる膜としてTiN保護膜16を用いているが、TiN保護膜16に限定されるものではなく、Cuと反応せず、Cu-4at.%Mg配線層18aと絶縁膜12との密着層及びCu-4at.%Mg配線層18a中のCuの絶縁膜12中への拡散防止層として機能するものであればよい。例えば、TiN保護膜16の代わりに、窒化シリコン膜、酸化窒化シリコン膜、窒化チタン膜、窒化タングステン膜、窒化チタンタングステン膜、タングステン窒化ニオブ膜、窒化タンクル膜などを用いてもよい。

【0116】また、TiN保護膜16の形成法としてスパッタリング法を用いているが、スパッタリング法に限定されるものではなく、例えばCVD法を用いてもよ

い。

【0117】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置及びその製造方法によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体装置によれば、接続孔又は配線溝内の少なくとも一方に埋め込まれているCu配線層が所定の元素が固溶されたCu膜からなり、その融点が純Cuの融点よりも低くなっていることにより、Cu合金膜からなるCu配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式の配線層を実現することができると共に、その配線層を形成する際に、純Cuを配線材料とする場合よりも低いプロセス温度において接続孔又は配線溝内の少なくとも一方へのCu配線層の埋め込みを行うことが可能になる。

【0118】また、請求項2に係る半導体装置によれば、接続孔又は配線溝の少なくとも一方の側壁及び底面と配線層との間に、絶縁膜中へのCuの拡散を防止するための保護膜が形成されていることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれているCu配線層から絶縁膜中へのCu原子の拡散が防止されるため、信頼性の高い埋め込み方式のCu配線層を実現することができる。

【0119】また、請求項3に係る半導体装置によれば、配線層上面が酸化防止用の皮膜によって覆われていることにより、Cu配線層上面の酸化が防止されるため、低抵抗でエレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた信頼性の高い埋め込み方式のCu配線層を実現することができる。

【0120】また、請求項4に係る半導体装置によれば、Cu配線層上面を覆っている酸化防止用の皮膜がCu配線層に固溶されている所定の元素の酸化物であることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれたCu配線層を形成した後における酸化雰囲気中での熱処理によってCu配線層の酸化を防止するための皮膜を容易に形成することが可能になる。

【0121】また、請求項5に係る半導体装置によれば、上記請求項1又は2に係る半導体装置において、Cu膜に固溶されている所定の元素がAg、Al、As、Au、Be、Cd、Cr、Ga、Ge、Hf、Hg、In、Li、Mg、Mn、P、Sb、Si、Sn、Ti、Tl、又はZrであることにより、このような元素が固溶されたCu膜の融点は純Cuの融点よりも低くなるため、この低融点のCu膜からなるCu配線層を形成する際に、純Cuを配線材料とする場合よりも低いプロセス温度において接続孔又は配線溝内の少なくとも一方へのCu配線層の埋め込みを行うことが可能になる。

【0122】また、請求項6に係る半導体装置によれば、Cu膜に固溶されている所定の元素の酸化物が、Al₂O₃、Cr₂O₃、Ga₂O₃、GeO₂、In₂

10

20

30

40

50

O_3 、 Li_2O 、 MgO 、 MnO_2 、 SiO_2 、 TiO_2 若しくは Ti_2O_3 、又は ZrO_2 であることにより、上記の Al 等の元素が固溶されている Cu 膜からなる Cu 配線層上面を酸化雰囲気中において熱処理することにより、容易に酸化防止用の皮膜を形成することができる。

【0123】また、請求項 7 に係る半導体装置の製造方法によれば、所定の元素が固溶され、融点が純 Cu よりも低い Cu 膜を配線材料として用いていることにより、この Cu 膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む際に、例えば純 Cu を配線材料とする場合よりも低い熱処理温度において容易にリフローを行うことが可能になるため、高温リフローによるストレスマイグレーション耐性の低下や Cu 自身の拡散、水素雰囲気中の熱処理による水素脆性を招くことなく、Cu 合金膜からなる Cu 配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式の Cu 配線層を実現することができる。

【0124】また、請求項 8 に係る半導体装置の製造方法によれば、所定の元素が固溶され融点が純 Cu よりも低い Cu 膜を形成する工程及びこの Cu 膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む工程の代わりに、半導体基板を加熱しながら、基体全面に、所定の元素が固溶され融点が純 Cu よりも低い Cu 膜を形成して、この Cu 膜を接続孔又は配線溝内に埋め込む工程を有することにより、Cu 膜の成膜とこの Cu 膜の接続孔又は配線溝内の少なくとも一方への埋め込みとが 1 つの工程によって達成されるため、Cu 合金膜からなる Cu 配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式の Cu 配線層を実現できると共に、その製造工程を簡略化することができる。

【0125】また、請求項 9 に係る半導体装置の製造方法によれば、第 1 の Cu 膜と所定の元素が固溶され、融点が純 Cu よりも低い第 2 の Cu 膜とを順に積層した 2 層構造の Cu 膜を配線材料として用いることにより、リフロー現象は主に熱的活性化による表面拡散によって進行することから、この 2 層構造の Cu 膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む際にも、例えば純 Cu を配線材料とする場合よりも低い熱処理温度において容易にリフローを行うことができる。しかも、第 1 の Cu 膜として例えば純 Cu のような第 2 の Cu 膜よりも低抵抗のものを使用すれば、接続孔又は配線溝内の少なくとも一方に埋め込まれた第 1 及び第 2 の Cu 膜からなる配線層を第 2 の Cu 膜のみからなる Cu 配線層よりも更に低抵抗にすることが可能になり、更に低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方

式の Cu 配線層を実現することができる。

【0126】また、請求項 10 に係る半導体装置の製造方法によれば、第 1 の Cu 膜上に所定の元素が固溶され融点が純 Cu よりも低い第 2 の Cu 膜を形成する工程及びこれら第 1 及び第 2 の Cu 膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む工程の代わりに、半導体基板を加熱しながら、第 1 の Cu 膜上に、所定の元素が固溶され融点が純 Cu よりも低い第 2 の Cu 膜を形成して、これら第 1 及び第 2 の Cu 膜を接続孔又は配線溝内に埋め込む工程を有することにより、第 2 の Cu 膜の成膜と第 1 及び第 2 の Cu 膜の接続孔又は配線溝内の少なくとも一方への埋め込みとが 1 つの工程によって達成されるため、上記請求項 7 の場合の Cu 配線層よりも更に低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式の Cu 配線層を実現できると共に、その製造工程を簡略化することができる。

【0127】また、請求項 11 に係る半導体装置の製造方法によれば、基体全面に、第 1 の Cu 膜を形成する工程、この第 1 の Cu 膜上に、所定の元素が固溶され融点が純 Cu よりも低い第 2 の Cu 膜を形成する工程、及びこれら第 1 及び第 2 の Cu 膜を熱処理によりリフローして接続孔又は配線溝内の少なくとも一方に埋め込む工程の代わりに、半導体基板を加熱しながら、基体全面に第 1 の Cu 膜を形成する工程と、半導体基板を加熱しながら、第 1 の Cu 膜上に所定の元素が固溶され融点が純 Cu よりも低い第 2 の Cu 膜を形成し、これら第 1 及び第 2 の Cu 膜を接続孔又は配線溝内に埋め込む工程とを有することにより、第 1 の Cu 膜の成膜工程と第 2 の Cu 膜の成膜工程と第 1 及び第 2 の Cu 膜の接続孔又は配線溝内の少なくとも一方への埋め込み工程とを共に半導体基板を加熱しながら連続的に行うことが可能になるため、上記請求項 7 の場合の Cu 配線層よりも低抵抗で、エレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた埋め込み方式の Cu 配線層を実現する際に、その製造工程を更に簡略化することができる。

【0128】また、請求項 12 に係る半導体装置の製造方法によれば、順に積層された第 1 及び第 2 の Cu 膜のうち、第 1 の Cu 膜が純 Cu からなることにより、接続孔又は配線溝内の少なくとも一方に埋め込まれた第 1 及び第 2 の Cu 膜からなる配線層が純 Cu 膜と所定の元素が固溶されている Cu 膜との 2 層構造となるため、所定の元素が固溶されている Cu 膜の単層構造の場合と比較すると、極めて抵抗の低い純 Cu 膜を有している分だけ、配線層全体としての抵抗を更に低減することができる。

【0129】また、請求項 13 に係る半導体装置の製造方法によれば、絶縁膜に接続孔又は配線溝を形成する工程の後、接続孔又は配線溝の少なくとも一方の側壁及び

底面を覆う Cu 拡散防止用の保護膜を形成する工程を有することにより、この Cu 拡散防止用の保護膜によって接続孔又は配線溝内の少なくとも一方に埋め込まれている配線層から絶縁膜中への Cu 原子の拡散が防止されるため、信頼性の高い埋め込み方式の Cu 配線層を実現することができる。

【0130】また、請求項 14 に係る半導体装置の製造方法によれば、接続孔又は配線溝内の少なくとも一方に埋め込まれた Cu 配線層を形成する工程の後、この Cu 配線層上面上に酸化防止用の皮膜を形成する工程を有することにより、この酸化防止用の皮膜によって Cu 配線層上面の酸化が防止され、配線抵抗の上昇が防止されるため、低抵抗でエレクトロマイグレーション耐性及びストレスマイグレーション耐性に優れた信頼性の高い埋め込み方式の Cu 配線層を実現することができる。

【0131】また、請求項 15 に係る半導体装置の製造方法によれば、配線層上面上に酸化防止用の皮膜を形成する工程が、酸化物生成の標準自由エネルギーが配線層の主体をなす Cu よりも小さい所定の元素を選択的に酸化して、配線層上面上に所定の元素の酸化物を形成する工程であることにより、Cu 配線層に固溶されている所定の元素の酸化物生成の標準自由エネルギーが Cu 配線層の主体をなす Cu の酸化物生成の標準自由エネルギーよりも小さいことから、Cu 配線層上面において Cu の酸化物が生成されるよりも容易に所定の元素の酸化物が生成されるため、この所定の元素の酸化物からなる酸化防止用の皮膜を Cu 配線層上面に容易に形成することができる。

【0132】また、請求項 16 に係る半導体装置の製造方法によれば、配線層上面上に酸化防止用の皮膜を形成する工程が所定の温度及び所定の平衡酸素分圧を有する酸化雰囲気中における熱処理を行う工程であり、この所定の平衡酸素分圧が所定の温度において所定の元素の酸化が開始される平衡酸素分圧以上であって配線層の主体をなす Cu の酸化が開始される平衡酸素分圧以下である構成とすることにより、所定の温度及び所定の平衡酸素分圧を有する酸化雰囲気中における熱処理によって Cu 配線層に固溶されている所定の元素が酸化されてその酸化物が生成される一方で、Cu 配線層の主体をなす Cu は酸化されず、その酸化物が生成されないため、Cu 配線層上面には所定の元素の酸化物のみが生成され、この所定の元素の酸化物からなる酸化防止用の皮膜を容易に形成することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体装置を示す断面図である。

【図 2】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 1）である。

【図 3】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 2）である。

【図 4】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 3）である。

【図 5】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 4）である。

【図 6】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 5）である。

【図 7】図 1 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 6）である。

10 【図 8】図 1 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 1）である。

【図 9】図 1 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 2）である。

【図 10】図 1 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 3）である。

【図 11】図 1 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 4）である。

【図 12】図 1 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 5）である。

20 【図 13】本発明の第 2 の実施形態に係る半導体装置を示す断面図である。

【図 14】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 1）である。

【図 15】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 2）である。

【図 16】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 3）である。

【図 17】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 4）である。

30 【図 18】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 5）である。

【図 19】図 13 の半導体装置の第 1 の製造方法を説明するための工程断面図（その 6）である。

【図 20】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 1）である。

【図 21】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 2）である。

【図 22】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 3）である。

40 【図 23】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 4）である。

【図 24】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 5）である。

【図 25】図 13 の半導体装置の第 2 の製造方法を説明するための工程断面図（その 6）である。

【図 26】図 13 の半導体装置の第 3 の製造方法を説明するための工程断面図（その 1）である。

【図 27】図 13 の半導体装置の第 3 の製造方法を説明するための工程断面図（その 2）である。

50 【図 28】図 13 の半導体装置の第 3 の製造方法を説明するための工程断面図（その 3）である。

【図29】図13の半導体装置の第3の製造方法を説明するための工程断面図（その4）である。

【図30】図13の半導体装置の第3の製造方法を説明するための工程断面図（その5）である。

【図31】本発明の第3の実施形態に係る半導体装置を示す断面図である。

【図32】図31に示す半導体装置の製造方法を説明するための工程断面図（その1）である。

【図33】図31に示す半導体装置の製造方法を説明するための工程断面図（その2）である。

【図34】図31に示す半導体装置の製造方法を説明するための工程断面図（その3）である。

【図35】図31に示す半導体装置の製造方法を説明するための工程断面図（その4）である。

【図36】図31に示す半導体装置の製造方法を説明するための工程断面図（その5）である。

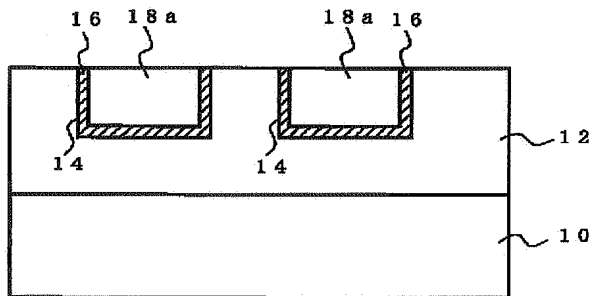
【図37】図31に示す半導体装置の製造方法を説明するための工程断面図（その6）である。

【図38】図31に示す半導体装置の製造方法を説明するための工程断面図（その7）である。

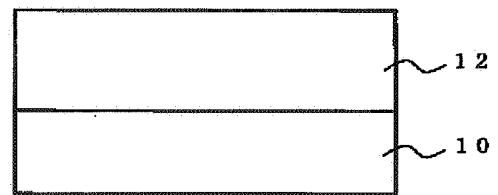
【符号の説明】

- 10 半導体基板
- 12 絶縁膜
- 14 配線溝
- 16 TiN保護膜
- 10 18 Cu-4at.%Mg膜
- 18a Cu-4at.%Mg配線層
- 20 純Cu膜
- 22 Cu-4at.%Mg薄膜
- 24 Cu-Mg膜
- 24a Cu-Mg配線層
- 26 MgO皮膜

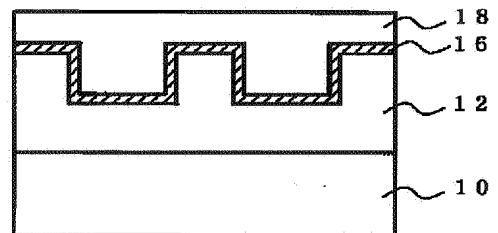
【図1】



【図2】

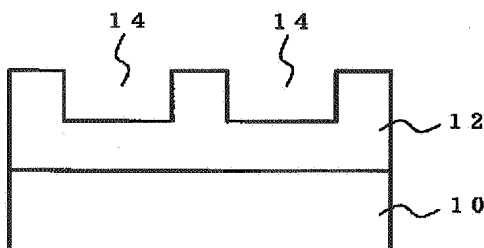


【図6】

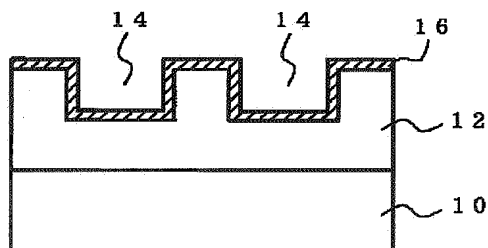


- 10 半導体基板
- 12 絶縁膜
- 14 配線溝
- 16 TiN保護膜
- 18a Cu-4at.%Mg配線層

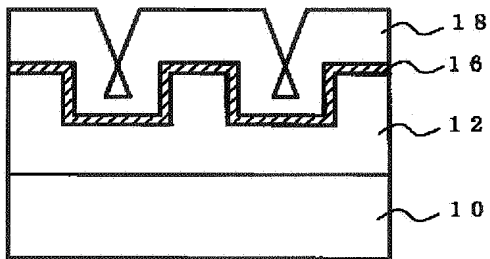
【図3】



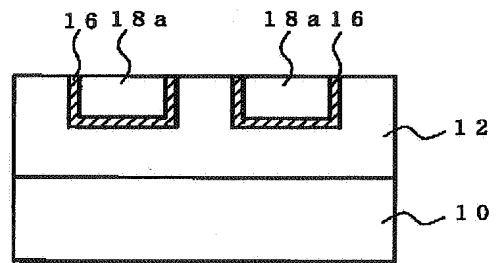
【図4】



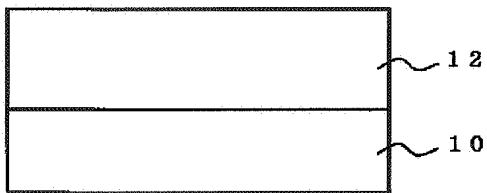
【図 5】



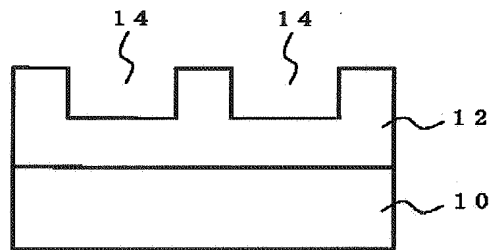
【図 7】



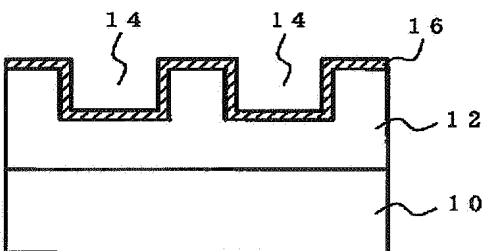
【図 8】



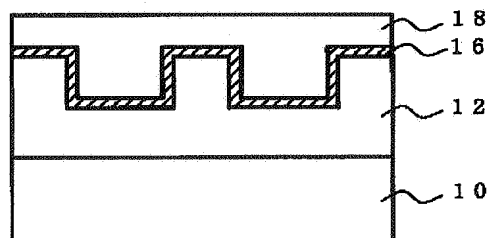
【図 9】



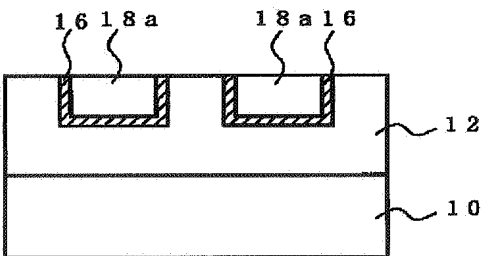
【図 10】



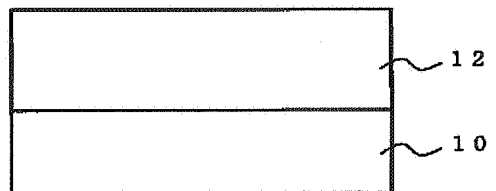
【図 11】



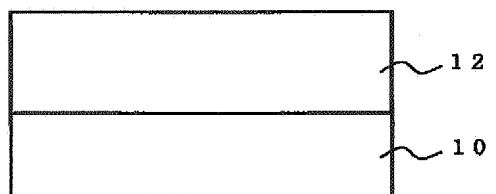
【図 12】



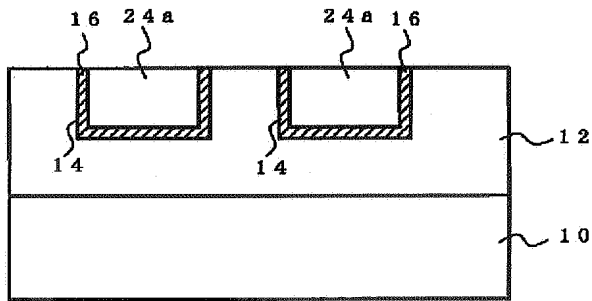
【図 14】



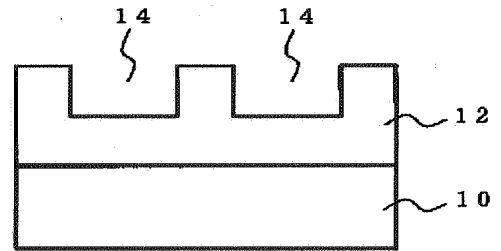
【図 20】



【図13】

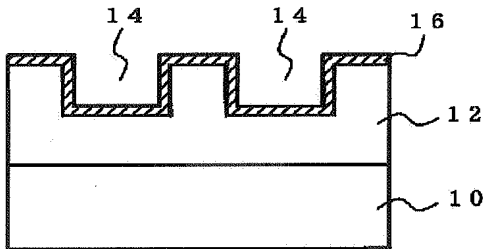


【図15】

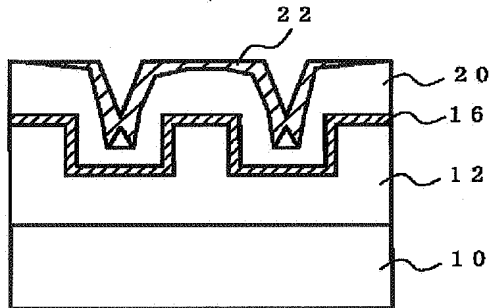


- 10 半導体基板
12 絶縁膜
14 配線溝
16 TiN保護膜
24a Cu-Mg配線層

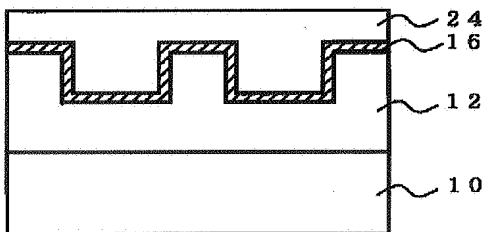
【図16】



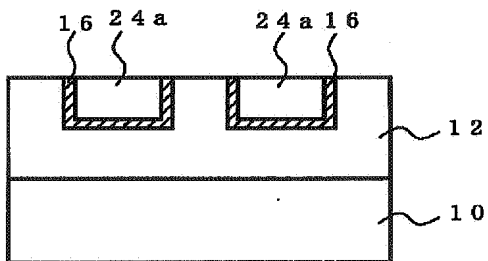
【図17】



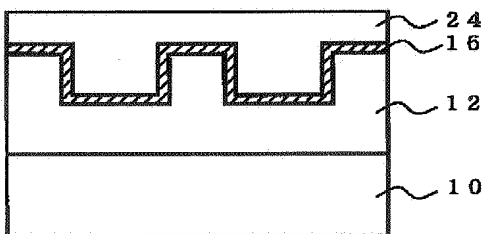
【図18】



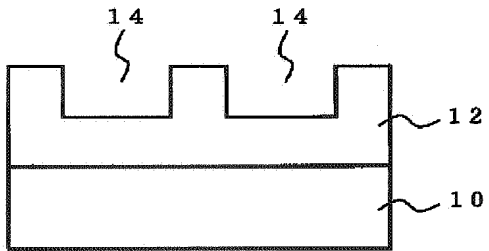
【図19】



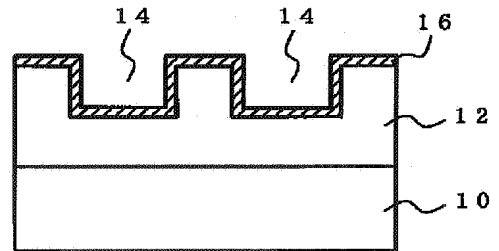
【図24】



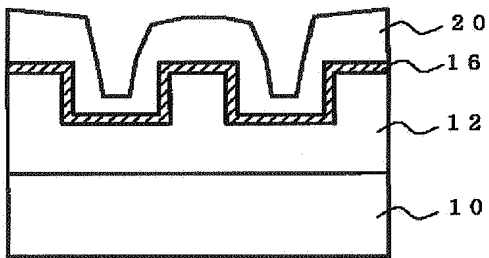
【図 21】



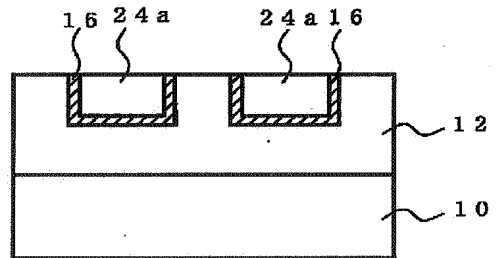
【図 22】



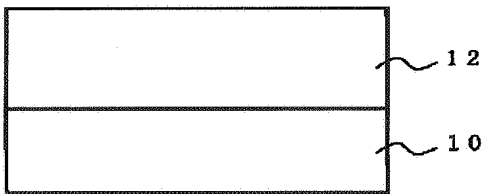
【図 23】



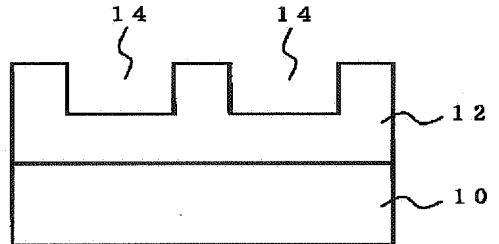
【図 25】



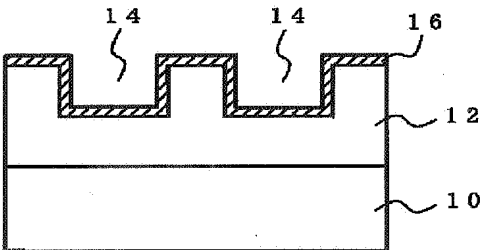
【図 26】



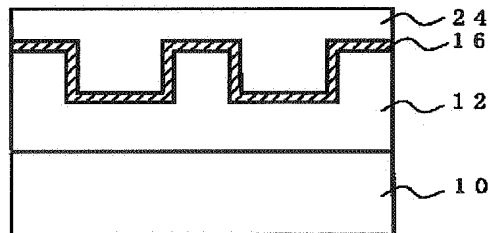
【図 27】



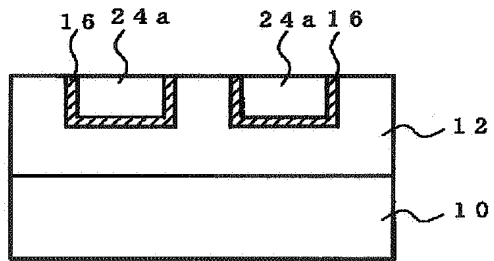
【図 28】



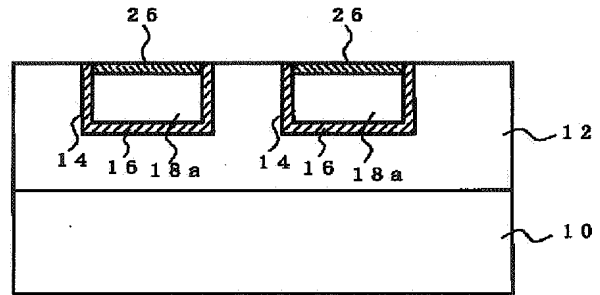
【図 29】



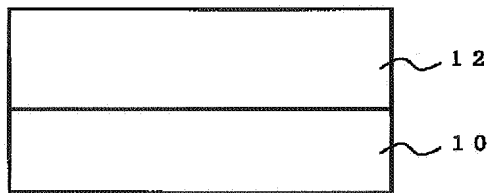
【図30】



【図31】

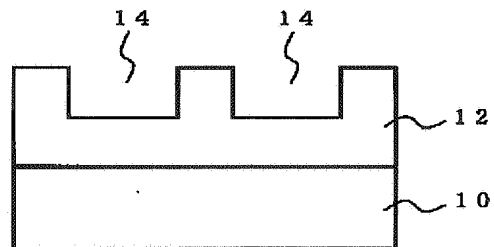


【図32】

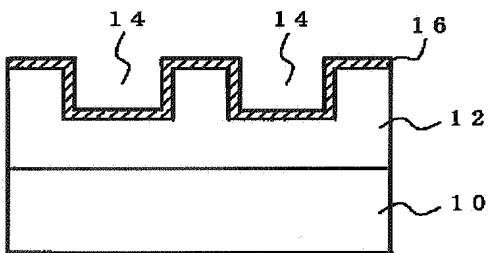


- 10 半導体基板
12 絶縁膜
14 配線溝
18a Cu-4at.%Mg配線層
26 MgO皮膜

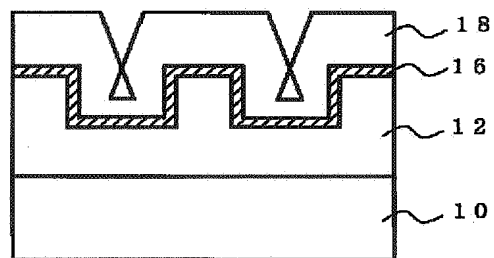
【図33】



【図34】



【図35】



【図36】

